

计算机组成原理试题 (B 卷)

2019 年 1 月 16 日

班号:

学号:

姓名:

(所有答案均写在答题纸上。本试卷共七道大题, 满分 100 分)

一. 单项选择 (每题 2 分, 共 18 分)

- 假定有 4 个整数用 8 位补码分别表示 $r_1=90H$, $r_2=F2H$, $r_3=FEH$, $r_4=F8H$, 若将运算结果存放在一个 8 位的寄存器中, 则下列运算会发生溢出的是_____。
A. r_1*r_2 B. r_2*r_3 C. r_3*r_4 D. r_2*r_4
- 下面不属于缓存缺失的情况有_____。
A. 必然缺失
B. 容量缺失
C. 页面缺失
D. 冲突缺失
- 某计算机主存容量为 128KB, 其中 ROM 区为 8KB, 其余为 RAM 区, 按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器, 则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是_____。
A. 2、30 B. 4、30 C. 2、60 D. 4、60
- 假定不采用 Cache 和指令预取技术, 且机器处于开中断状态, 则在下列有关指令执行的叙述中, 错误的是_____。
A. 每个指令周期中 CPU 都至少访问内存一次
B. 每个指令周期一定大于或等于一个 CPU 时钟周期
C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
D. 当前程序在每条指令执行结束时都可能被外部中断打断
- 一台有完整的层次储存器的 MIPS 计算机, 执行 LW 指令访问主存的最少次数为_____。
A. 0 B. 1 C. 2 D. 3
- MIPS 响应异常和中断的硬件流程包含_____。
I. 保存 PC 寄存器 II. 保存所有通用寄存器
III. 恢复 PC 寄存器 IV. 保存异常原因
V. 读取异常原因
A. I, II, III, B. II, III, IV, C. I, III, IV D. III, IV, V
- 下列关于 Cache 与 TLB 的描述中, 说法错误的是_____。
A. TLB 与 Cache 中保存的数据是不同的
B. TLB 缺失之后, 有可能直接在 Cache 中找到页表的内容
C. TLB 缺失会导致程序执行出错, 但是 Cache 缺失不会
D. TLB 和 Cache 的命中率都与程序的访存模式有关

8. 下列关于通过数据转发来解决数据冲突的描述中, 正确的是_____。
(流水线阶段标识: EX 为执行阶段, MEM 为访存阶段, WB 为写回阶段)
- A. 只能转发 EX/MEM 流水线寄存器到 ALU 的输入
 - B. 只能转发 MEM/WB 流水线寄存器到 ALU 的输入
 - C. 在 EX/MEM 流水线寄存器和 MEM/WB 流水线寄存器对应的寄存器都进行转发的时候, 选择 MEM/WB 流水线寄存器的值
 - D. 在 EX/MEM 流水线寄存器和 MEM/WB 流水线寄存器对应的寄存器都进行转发的时候, 选择 EX/MEM 流水线寄存器的值
9. 假定某计算机的 CPU 主频为 1GHz, 外接外设接口中有一个 16 位的数据缓存器, 中断服务程序的执行时间为 500 个时钟周期, 则中断能够处理的最大传输带宽为_____。
- A. 3MB/s B. 4MB/s C. 5MB/s D. 6MB/s

二. 填空 (每空 2 分, 共 32 分)

1. 十进制数 66.375 在 IEEE 754 单精度浮点数标准下表示为: (1)。(16 进制表示)。
2. 使用海明码数据传输, 设数据位 $k=3$ ($D_3D_2D_1$), 校验位 $r=4$ ($P_4P_3P_2P_1$), 数据 $D_3D_2D_1=011$ 的编码结果为 (按照 $P_1P_2D_1P_3D_2D_3P_4$ 的顺序): (2)。
3. 考虑指令序列:
- SW R1, 7(R2) (指令 1, R1 寄存器的内容存到 R2+7 的地址)
- ADD R5, R6, R3 (指令 2, $R5 = R6 + R3$, 寄存器值相加)
- 在一个 5 阶段流水线的 MIPS 处理器上, 第 1 个时钟周期执行指令 1 的取指阶段。指令 1 会发生访存地址未对齐异常, 指令 2 会发生加法结果溢出异常。那么在第 (3) 个时钟周期检测到访存地址未对齐异常, 在第 (4) 个时钟周期检测到加法结果溢出异常, 最终处理器向操作系统报告 (5) 异常。
4. 使用我们实验用的板子设计 MIPS 处理器, 采用标准 5 级流水线无 Cache 设计, 每个时钟周期完成一个指令阶段。采用一片 SRAM 来保存数据与程序 (另一片 SRAM 不使用), 假设一个时钟周期可以完成 SRAM 的一次读或者一次写, 执行下面的指令序列:
- LW R1, 0(R2) (指令 1, 从 R2 + 0 位置读入数据到 R1 中)
- SUB R4, R1, R5 (指令 2, $R4 = R1 - R5$)
- AND R6, R2, R7 (指令 3, $R6 = R2 \& R7$)
- ADD R8, R3, R2 (指令 4, $R8 = R3 + R2$)
- ADD R9, R1, R2 (指令 5, $R9 = R1 + R2$)
- SW R9, 16(R2) (指令 6, 将 R9 的数据存入到 16 + R2 的位置)
- 若处理器设计时没有数据旁路, 执行完所有的指令需要 (6) 个时钟周期, 增加数据旁路后, 执行完所有的指令需要 (7) 个时钟周期。
5. 为了存储 256GB 的数据, 使用 RAID0 的方式, 所占用的磁盘空间大小为 (8), 使用 RAID6 的方式 (4+2), 所占用的磁盘空间大小为 (9)。

6. 某计算机系统的内存系统中, 已知 Cache 访问时间为 20ns, 主存访问时间为 100ns。CPU 执行一段程序时, CPU 访问内存系统共 5000 次, 其中访问主存的次数为 450 次。那么 Cache 命中率是 (10), CPU 访问内存的平均访问时间是 (11)。
7. 假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 800*600, 使用 RGB 颜色, 每种颜色使用 1 个字节表达, 帧频为 60Hz, 显存总带宽的 50% 用来刷新屏幕, 则需要的显存总带宽至少约为 (12)。
8. 假设流水线寄存器或者锁存器的输出延迟为 100ps, 输入延迟可以不考虑, 不使用处理器内部的缓存 (Cache)。各阶段的延迟如下:

IF	ID	EX	MEM	WB
250ps	180ps	150ps	300ps	200ps

实现以下 7 条指令:

1. addu rd rs rt, 2. subu rd rs rt, 3. ori rt rs imm, 4. lw rt, rs, imm,
5. sw rt, rs, imm, 6. beq rs, rt, imm, 7. j target。

如果设计为单周期的处理器, 则处理器的时钟周期至少为 (13); 如果设计为多周期的处理器, 则处理器的时钟周期至少为 (14), 多周期处理器最长指令延迟为 (15); 如果设计为标准的五阶段流水线, 处理器的时钟周期至少为 (16)。

三. 判断 (每题 1 分, 共 10 分, 判断为错的请简述理由)

使用下面的程序初始化, 判断前 4 题的对错。

```
int x = random();
int y = random();
int z = random();
double dx = (double) x;
double dy = (double) y;
double dz = (double) z;
```

- $((x \gg 1) \ll 1) \leq x$ 。
- $dx + dy + dz = (\text{double})(z+y+x)$ 。
- $dx + dy + dz = dz + dy + dx$ 。
- $dx * dy * dz = dz * dy * dx$ 。
- 在 32 位的原码、反码和补码三种机器码中补码的表示范围最大。
- CPI (Cycles Per Instruction) 用来衡量指令执行平均所需要的周期数, CPI 越小, 代表执行相同的程序所需要的时间越短。
- 处理器缓存 Cache 与存储器的地址的映射关系是由操作系统来管理的。
- 只要运算器具有加法器和移位功能, 再增加一些控制逻辑, 就能实现乘除运算。
- 使用高速缓存是为了提高主存的容量。
- 加减交替法可以实现原码除法, 比恢复余数法硬件实现简单。

四. 简答题 (7 分): 推导布斯乘法的规则, 并依据规则使用 5 位的整数来计算 $3 \times (-6)$ 。

五. 简答题 (3 分): 在冯诺依曼结构计算机中, 程序和数据都保存在内存中, 那么处理器在执行程序的过程中是如何区分程序 and 数据的?

六. 计算题 (12 分): 在进行分支预测的时候, 可以预测分支总会发生, 或者预测分支总不会发生, 也可以使用 2 位进行分支预测。假设给定的分支模式如下: NT, T, NT, NT, T。
(NT 为不跳转 Not Taken, T 为跳转 Taken) 并且, 按照这 5 个分支的模式循环, 即: NT, T, NT, NT, T, NT, T, NT, NT, T, NT, T, NT, NT, T,.....

(1) 如果该模式一直持续下去, 对于该分支模式, 预测分支总会发生, 以及预测分支总不会发生的准确率分别是多少? (3 分)

(2) 如果该模式一直持续下去, 2 位分支预测器的准确率是多少? (3 分)

(3) 设计一个分支预测器, 可以完美对上述的分支进行预测。要求这个预测器是一个时序电路, 有一个输出表示预测的结果 (1 表示发生, 0 表示不发生), 除了时钟和指示当前指令是条件分支指令的信号外没有其它的输入。(3 分)

(4) 设计一个分支预测器, 可以同时对上述的模式, 以及其相反的模式 (相反即原来是 T, 则现在为 NT, 原来是 NT, 现在是 T) 都可以做出完美预测。这个预测器除了上述的要求外, 应该有一个输入告诉它真实的分支结果。假设分支模式是其中的一种, 并且一直重复下去。(3 分)

七. 计算题 (18 分): 考虑某一台计算机虚拟地址到物理地址的地址转换过程。注意以下几点说明: (1) 内存是字节寻址的; (2) 内存一次访问 1 字节; (3) 虚拟地址 16 位; (4) 物理地址 13 位; (5) 页大小 512 字节; (6) TLB 是 8 路组相连, 共 16 个单元; (7) 缓存是 2 路组相连的结构, 缓存块 (cache line) 大小为 4 个字节, 一共 16 块。在下面的表格中, 所有的数字都使用 16 进制表示。TLB 的内容, 页表的前 32 项内容以及缓存的内容如下 (TLB: 快表, Page Table: 页表, Index: 索引, Tag: 标记, VPN: 虚拟页号, PPN: 物理页号, Valid: 有效位):

TLB			
Index	Tag	PPN	Valid
0	09	4	1
	12	2	1
	10	0	1
	08	5	1
	05	7	1
	13	1	0
	10	3	0
	18	3	0
1	04	1	0
	0C	1	0
	12	0	0
	08	1	0
	06	7	0
	03	1	0
	07	5	0
	02	2	0

Page Table					
VPN	PPN	Valid	VPN	PPN	Valid
00	6	1	10	0	1
01	5	0	11	5	0
02	3	1	12	2	1
03	4	1	13	4	0
04	2	0	14	6	0
05	7	1	15	2	0
06	1	0	16	4	0
07	3	0	17	6	0
08	5	1	18	1	1
09	4	0	19	2	0
0A	3	0	1A	5	0
0B	2	0	1B	7	0
0C	5	0	1C	6	0
0D	6	0	1D	2	0
0E	1	1	1E	3	0
0F	0	0	1F	1	0

2 路组相连缓存 (2-way Set Associative Cache)												
Index	Tag	Valid	Byte0	Byte1	Byte2	Byte3	Tag	Valid	Byte0	Byte1	Byte2	Byte3
0	19	1	99	11	23	11	00	0	99	11	23	11
1	15	0	4F	22	EC	11	2F	1	55	59	0B	41
2	1B	1	00	02	04	08	0B	1	01	03	05	07
3	06	0	84	06	B2	9C	12	0	84	06	B2	9C
4	07	0	43	6D	8F	09	05	0	43	6D	8F	09
5	0D	1	36	32	00	78	1E	1	A1	B2	C4	DE
6	11	0	A2	37	68	31	00	1	BB	77	33	00
7	16	1	11	C2	11	33	1E	1	00	C0	0F	00

问题 1: (2 分) 以下是一个虚拟地址的格式。在图中标出下面的各项信息, 如果没有的话不必标出。

VPO: 虚拟页内偏移, The Virtual Page Offset

VPN: 虚拟页号, The Virtual Page Number

TLBI: TLB 索引, The TLB Index

TLBT: TLB 标记, The TLB Tag

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

问题 2: (3 分) 下面是物理地址的格式。在图中标出下面的各项信息, 如果没有的话则不必标出。

PPO: 物理页内偏移, The Physical Page Offset

PPN: 物理页号, The Physical Page Number

CO: 缓存块内的偏移, The Block Offset within the Cache Line

CI: 缓存索引, The Cache Index

CT: 缓存标记, The Cache Tag

12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--

问题 3: 对于以下的虚拟地址, 指出 TLB 被访问的项, 物理地址, 以及在缓存中的返回的字节的值 (Cache Byte Returned) (使用 16 进制表示)。指出是否发生了 TLB 的缺失 (TLB misses), 是否发生了缺页异常, 是否发生了缓存缺失。

如果发生了缓存缺失, 直接标记对应的 Cache Byte Returned 表格为 '-'. 如果发生了缺页异常, 直接在 "PPN" 表格中标记 '-', 并且不需要填写 C 和 D 中的内容。

访问的虚拟地址: 1DDE

A. (1 分) 在下面填写虚拟地址的二进制表示 (每个格子为 1 位)

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

B. (6 分) 地址转换

参数	值
VPN 虚拟页号	0x
TLB Index 快表索引	0x
TLB Tag 快表标记	0x
TLB Hit? (Y/N) 快表命中	
Page Fault? (Y/N) 页异常	
PPN 物理页号	0x

C. (1 分) 在下面填写物理地址的二进制表示 (每个格子为 1 位)

12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--

D. (5 分) 物理内存的访问

参数	值
Byte Offset 字节偏移	0x
Cache Index 缓存索引	0x
Cache Tag 缓存标记	0x
Cache Hit? (Y/N) 缓存命中	
Cache Byte returned 从缓存中返回的字节	0x